

BA

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-102530
(43)Date of publication of application : 15.04.1994

(51)Int.CI.

G02F 1/136
G02F 1/133
G09G 3/36
H04N 5/66

(21)Application number : 04-249715
(22)Date of filing : 18.09.1992

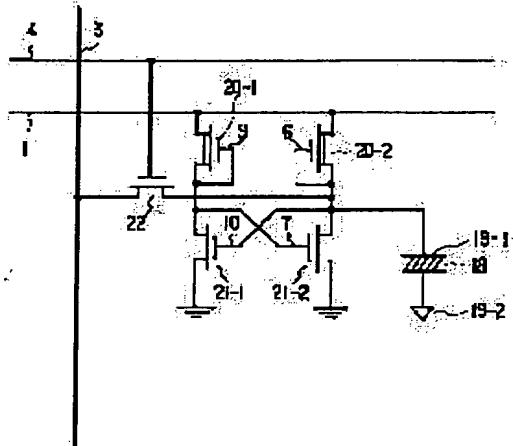
(71)Applicant : SHARP CORP
(72)Inventor : ONO EIZO

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To reduce the power consumption of the liquid crystal display device by providing a static memory circuit at the pixel part of the liquid crystal display device.

CONSTITUTION: When a voltage pulse is applied to a gate line 4 and a transistor(TR) 22 turns ON, an image signal from a source line 3 is charged in liquid crystal 18 and the gate of a TR 21-1. When the image signal is an ON voltage, the liquid crystal 18 is applied with an electric field and changes in orientation state; and the TR 21-1 turns ON and a TR 21-2 turns OFF. When the voltage of the gate line 4 becomes an OFF voltage, the TR 22 turns OFF, but the liquid crystal 18 is charged through the TR 20-2, so its orientation state does not change. Thus, the image signal can be supplied to liquid crystal cells so that the same still picture can continuously be displayed on the screen.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-102530

(43)公開日 平成6年(1994)4月15日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	9226-2K	
G 0 9 G	3/36		7319-5G	
H 0 4 N	5/66	1 0 2 B	9088-5C	

審査請求 未請求 請求項の数3(全5頁)

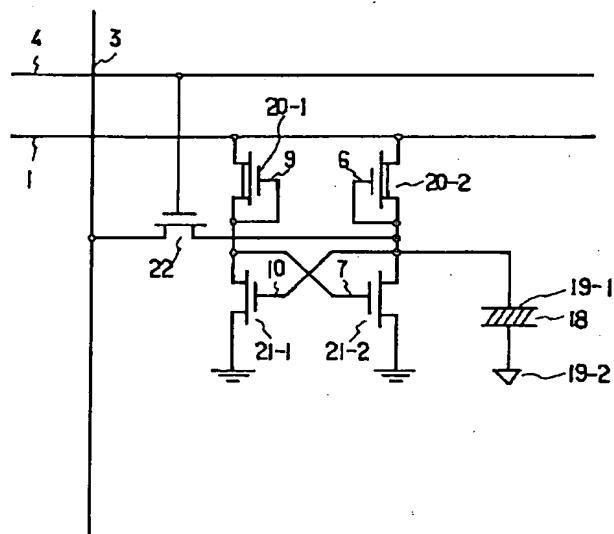
(21)出願番号	特願平4-249715	(71)出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22)出願日	平成4年(1992)9月18日	(72)発明者	大野 栄三 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
		(74)代理人	弁理士 梅田 勝

(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 液晶表示装置の絵素部分に、スタティックメモリ回路を設けることにより、液晶表示装置の省力化をはかる。

【構成】 本発明のスタティックメモリ回路動作を図1により説明する。ゲートライン4に電圧バルスが加えられ、トランジスタ2-2はオン状態になると、ソースライン3より画像信号が液晶1-8とトランジスタ2-1-1のゲートに充電される。画像信号がオン電圧とすると、液晶1-8には電界が加わり配向性が変化するとともに、トランジスタ2-1-1はオン状態、2-1-2はオフ状態となる。ゲートライン4の電圧がオフ電圧になると、トランジスタ2-2はオフ状態になるが、液晶1-8はトランジスタ2-0-2を通して充電されるのでその配向性は変化しない。このような動作により、同一の静止同画面は表示され続けるように画像信号を液晶セルに供給できる。



【特許請求の範囲】

【請求項1】 第1の信号が供給される複数のゲートラインと、第2の信号が供給される複数のソースラインと、前記ゲートラインとソースラインに接続される薄膜トランジスタと、該薄膜トランジスタからの絵素部分への入力画像信号が記憶されるスタティックメモリ回路と、入力画像信号に基づいてそれぞれ表示駆動される液晶セルとを有し、かつスタティックメモリ回路に記憶されている信号電圧が上記絵素部分の液晶セルに常に加えられていることを特徴とする液晶表示装置。

【請求項2】 請求項1記載のスタティックメモリ回路が、多結晶シリコン薄膜トランジスタにより構成されていることを特徴とする液晶表示装置。

【請求項3】 ユーザー及びシステムから請求項1記載の液晶表示装置への新しい入力画像信号がないときは、液晶表示装置外部のコントローラの動作を停止し、薄膜トランジスタからの絵素部分への入力画像信号が記憶されるスタティックメモリ回路を用いて表示画面を維持し続けることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置に関するもので、特に、省電力を必要とする機器に適している。例えば、バッテリー駆動型タイプのノートワープロ、ノートパソコンに適用できる。

【0002】

【従来の技術】 従来の液晶表示装置の絵素部分の回路図を図6に示す。この図6は液晶表示装置の1絵素部分を抜き出して示したものである。該図に示すように、絵素部分のトランジスタ22には、ゲートライン4からゲート端子に電圧パルスが加わり $1/(30 \times \text{走査線数})$ 秒または $1/(60 \times \text{走査線数})$ 秒の間オン状態になる動作を $1/30$ 秒または $1/60$ 秒周期で繰り返している。そして、トランジスタ22がオン状態にある間に、ソースライン3より画像信号が液晶18に書き込まれることにより、画像が表示されている。

【0003】

【発明が解決しようとする課題】 しかしながら、従来の回路構成では、トランジスタ22のオフ状態時のリーキ電流により液晶18に充電された電気量が減衰していく。そこで、前記減衰を防止するため、 $1/30$ 秒または $1/60$ 秒の周期で液晶18への充電を繰り返している。したがって、機器のユーザーが単に同じ画面を眺めている場合でも、30Hzもしくは60Hzのフレーム周波数で画面の描画を繰り返さなければならない。よって、ビデオ信号ジェネレータのディスプレイコントローラを常に動作させておく必要があり、これら電子回路で常に電力が消費され、バッテリー駆動型の機器では、継続使用時間が短くなる問題があった。

【0004】 そこで、本発明は上記課題に鑑みてなされ

たものであり、液晶表示装置において、液晶表示装置外部のコントローラの動作を停止しても、静止同画面は表示され続けるように画像信号を、液晶セルに供給できる電子回路を提供することを目的とするものである。

【0005】

【課題を解決するための手段および作用】 本発明は、第1の信号、例えば走査信号が供給される複数のゲートラインと、第2の信号、例えばサンプリングされた画素信号が供給される複数のソースラインと、前記ゲートラインとソースラインに接続される薄膜トランジスタと、該薄膜トランジスタからの各絵素部分への入力画像信号が記憶されるスタティックメモリ回路と、入力画像信号に基づいてそれぞれ表示駆動される液晶セルとを有し、かつスタティックメモリ回路に記憶されている信号電圧が上記絵素部分の液晶セルに常に加えられることを特徴とする。この構成により、同一の静止画面を表示し続ける場合は、ディスプレイコントローラの動作をストップし、外部から表示装置に画像信号を入力することなく、スタティックメモリ回路に記憶された信号電圧を用いて画面を表示し続ける。

【0006】 また、前記スタティックメモリ回路は多結晶シリコン薄膜トランジスタにより構成されている。

【0007】 さらに、この回路構成を情報処理機器に応用して、ユーザー及びシステムから前記液晶表示装置への新しい入力画像信号がないときは、液晶表示装置外部のコントローラの動作を停止し、薄膜トランジスタから各絵素部分への入力画像信号が記憶されるスタティックメモリ回路を用いて表示画面を維持し続ける。

【0008】

【実施例】

<実施例1> 本発明の第1の実施例の回路図を図1に示す。ここで、スタティックメモリ（以下、SRAMと略す）を構成するトランジスタ21-1、21-2、22はエンハンスマントタイプのn型MOSトランジスタであり、トランジスタ20-1、20-2はデブリーショントランジスタである。トランジスタ22のゲート端子は液晶表示装置のゲートライン4に、ドレイン端子は液晶表示装置のソースライン3に、ソース端子はトランジスタ20-1、20-2、21-1、21-2で構成されているスタティックメモリ回路へ接続されている。配線1はスタティックメモリ回路の電源ラインで、液晶18へ充電される電圧値になっている。

【0009】 ソースライン3から入力された信号電圧は液晶18に設けられた電極19-1に加えられ、液晶18には電極19-1と対向電極19-2の間の電位差によって決まる電界が加わる。

【0010】 図2は本実施例の絵素部分のパターンである。まずガラス基板上に高融点金属薄膜を用いて電源ライン1とアースライン2を形成する。高融点金属にはタ

ングステンを用いた。つぎにSiO₂絶縁膜を5000Å作製し、その上に、多結晶シリコン薄膜トランジスタ20-1、20-2、21-1、21-2、22を作製する。トランジスタ20-1、20-2のドレイン端子はコンタクトホール14を介して電源ライン1と接続されており、21-1、21-2のソース端子はコンタクトホール16を介してアースライン2と接続されている。トランジスタ20-1のゲート端子9と21-2ゲート端子7はゲートポリシリコンの配線により接続されている。

【0011】トランジスタ作製後、SiO₂絶縁膜を5000Å形成した上にシリコンを1%含んだアルミ配線でゲートライン4、トランジスタ20-1のゲート端子9とソース端子を接続するライン11を作製する。ゲートライン4はコンタクトホール13を介して、トランジスタ22のゲート端子5に接続している。アルミ配線11はコンタクトホール23、25を介してそれぞれゲート端子9とソースに接続している。アルミ配線を作製後、SiO₂を2000Å形成し、その上にITO電極8を作製する。1500Åの厚さのITO薄膜の作製はスパッタリング法を用いた。

【0012】つぎにSiO₂絶縁膜を3000Å形成し、その上にシリコンを1%含んだアルミ配線でソースライン3とアルミ配線17を作製する。ソースライン3はコンタクトホール15を介してトランジスタ22のドレイン端子に接続している。アルミ配線17はコンタクトホール24を介してトランジスタ20-2のゲート端子と、コンタクトホール27を介してトランジスタ20-2のソース端子と、コンタクトホール26を介してトランジスタ21-1のゲート端子10と、コンタクトホール28を介してITO電極8と接続している。上記構造を作製の後、保護膜として窒化シリコン薄膜を500Å作製する。

【0013】本実施例の回路動作を説明する。1／(30×走査線数)または1／(60×走査線数)秒の間、ゲートライン4に電圧バルスが加えられ、トランジスタ22はオン状態になる。その間に、ソースライン3より画像信号が液晶18とトランジスタ21-1のゲートに充電される。いま画像信号がオン電圧(ハイ)とすると液晶18には電界が加わり配向性が変化するとともに、トランジスタ21-1はオン状態、21-2はオフ状態となる。ゲートライン4の電圧がオフ電圧(ロー)になるとトランジスタ22はオフ状態になるが、液晶18はトランジスタ20-2を通して充電されるのでその配向性は変化しない。トランジスタ22がオン状態の時にソースライン3からオフ電圧(ロー)が入力されたときは、液晶18には電界が加わらず、トランジスタ21-1はオフ状態、21-2はオン状態になる。トランジスタ22がオフ状態になった後も、液晶18はオン状態のトランジスタ21-2を通じて放電するので電界が加わ

らないままである。

【0014】<実施例2>本発明の第2の実施例の回路図を図3に示す。第1の実施例でSRAMを構成していたデブリーションタイプのn型MOSトランジスタとエンハンスマントタイプのn型MOSトランジスタとの組み合わせを、エンハンスマントタイプのp型MOSトランジスタとエンハンスマントタイプのn型MOSトランジスタとの組み合わせに変えている事以外は、第1の実施例と全く同様である。ここでトランジスタ20-3、20-4はエンハンスマントタイプのp型MOSトランジスタ、21-1、21-2、22はエンハンスマントタイプのn型MOSトランジスタで、回路動作は実施例1と同様である。

【0015】<実施例3>本発明の第3の実施例の回路図を図4に示す。ここでは、本発明を単純マトリックス型液晶表示装置に適用している。ここで、29が信号線、30は水平走査線を示し、トランジスタ20-3、20-4はエンハンスマントタイプのp型MOSトランジスタ、21-1、21-2はエンハンスマントタイプのn型MOSトランジスタである。信号線29から、オン電圧(ハイ)が入力されると実施例1と同様にメモリ回路が動作し、液晶18にはオン状態が維持され、オフ電圧(ロー)が入力されると、オフ状態が維持される。

【0016】図5には、上記の液晶表示装置を用いた情報処理機器のシステム構成を示す。ユーザー31からの要求信号はインターフェース32(例えば、マウス、ペン、キーボード等)を通して、システムのCPU33へ送られる。一連の処理がCPU33とメモリ34の間等で行われ、液晶表示装置に結果を表示する必要がある場合、画像データとコントローラへの信号をディスプレイコントローラ35へ送る。コントローラはそれらデータをもとにして液晶表示装置36へ信号を送る。本システムではユーザー31から一定時間(任意に設定可能)入力がない場合、コントローラ35へ動作停止信号が送られコントローラ35動作を停止し、電力を消費しないようとする。液晶表示装置36はその間、本発明のメモリ機能を用いてそれまでの画面を表示し続ける。ユーザーからの入力があれば再びコントローラの動作が始まり描画が行われることになる。

【0017】

【発明の効果】本発明によれば、液晶表示装置を有するバッテリー駆動型機器の省電力化が図れ、バッテリーによる長時間の継続使用が可能となる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の絵素部分の実施例1の回路図である。

【図2】本発明の液晶表示装置の絵素部分の実施例1のパターンである。

【図3】本発明の液晶表示装置の絵素部分の実施例2の回路図である。

【図4】本発明の液晶表示装置の絵素部分の実施例3の回路図である。

【図5】本発明の液晶表示装置を用いたシステム構成図である。

【図6】従来例の液晶表示装置の絵素部分の回路図である。

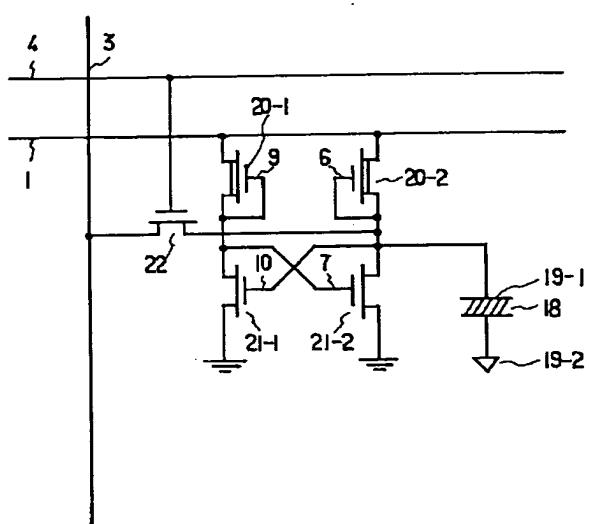
【符号の説明】

- 1 電源ライン
- 2 アースライン
- 3 ソースライン
- 4 ゲートライン
- 5、7、9、10 ゲート端子
- 8 ITO電極
- 12、13、14、15、16 コンタクトホール
- 11、17 アルミ配線
- 18 液晶
- 19 電極

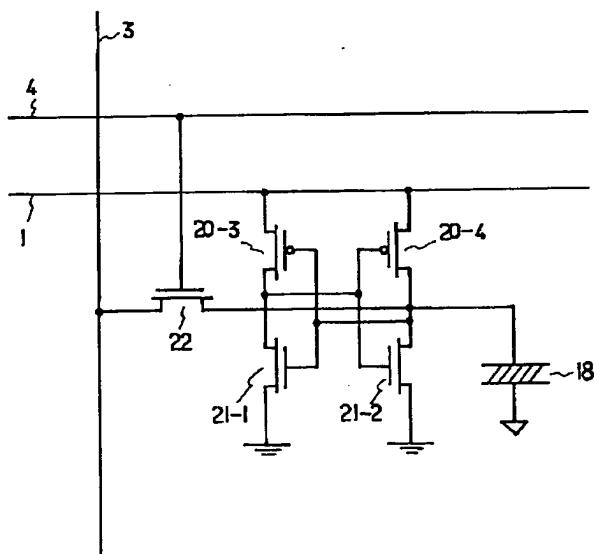
- * 20-1、20-2 デブリーションタイプのn型MOSトランジスタ
- 20-3、20-4 エンハンスメントタイプのp型MOSトランジスタ
- 21-1、21-2、22 エンハンスメントタイプのn型MOSトランジスタ
- 23、24、25、26、27、28 コンタクトホール
- 29 信号線
- 10 30 水平走査線
- 31 ユーザー
- 32 インターフェース
- 33 CPU
- 34 メモリー
- 35 ディスプレイコントローラー
- 36 液晶表示装置

*

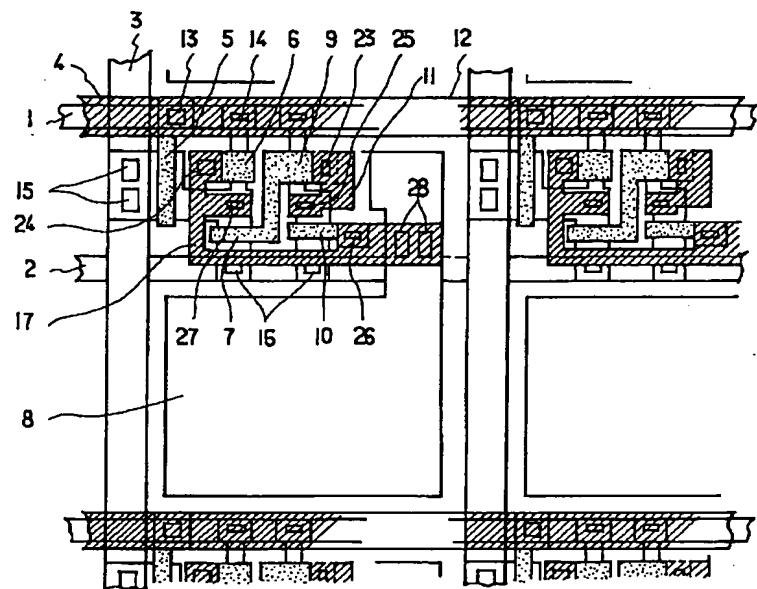
【図1】



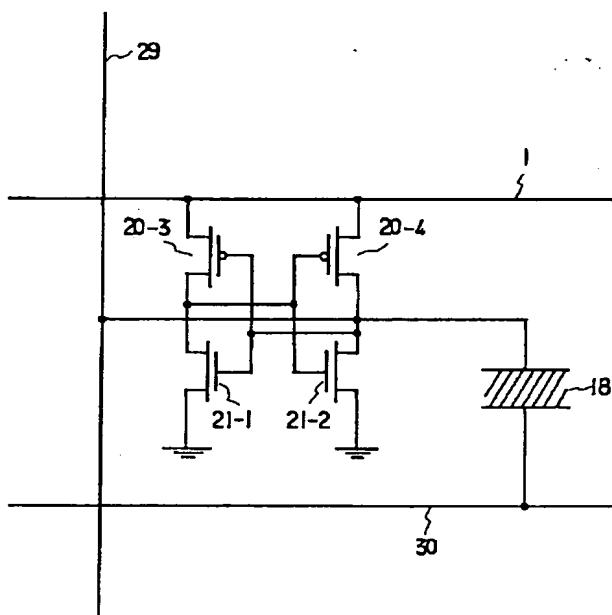
【図3】



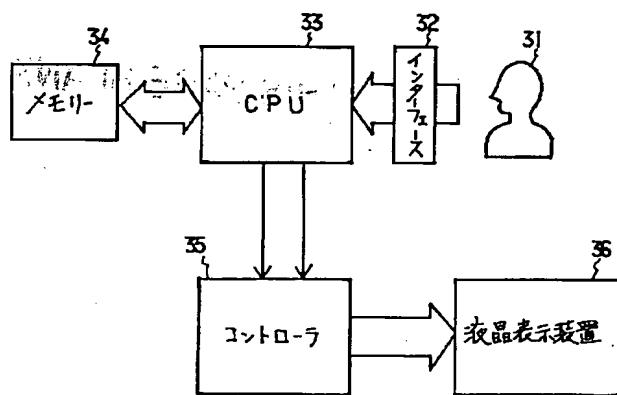
【図2】



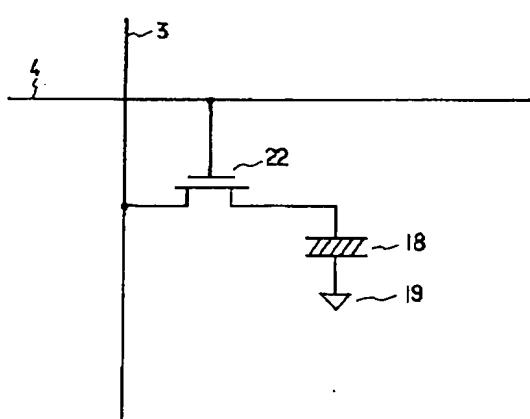
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)